

FPGA ADC Timing Calibration

Jimmy MATTHEY

Travail de Bachelor 2020

Informatique - Informatique Industrielle et Embarquée

Professeure: Manon RACINE

Expert: Stève GIGANDET

Description

Dans le cadre du projet ODigitizer, une plateforme d'acquisition de signaux analogiques et de traitement de données a été développée. Elle a ensuite été testée, validée et utilisée dans un système de capteur à fibre optique.

L'élément principal de la partie acquisition est constitué d'un convertisseur analogique/digital (ADC) avec une fréquence d'échantillonnage de 1Gs/s. Les échantillons sont envoyés à une FPGA (réseau de portes logiques paramétrables) via un bus de données. A haute fréquence, les temps de propagations des signaux électriques ne sont plus négligeables et peuvent engendrer des échantillons erronés.

Ce projet consiste en l'implémentation de délais réglables sur les entrées de la FPGA afin de quantifier les marges temporelles pour chaque bit, puis de créer une calibration automatique du bus de données.

Déroulement

- Comprendre et prendre en main le système existant.
- Étudier et implémenter les délais variables sur les entrées des signaux dans la FPGA.
- Analyser les comportement des données durant la modification des délais.
- Réaliser un réglage automatique du meilleur délai pour chaque bit du bus de données.
- Etudier et implémenter un déphasage de l'horloge du bus paramétrable.
- Réaliser un réglage automatique de la phase de l'horloge du bus de données.

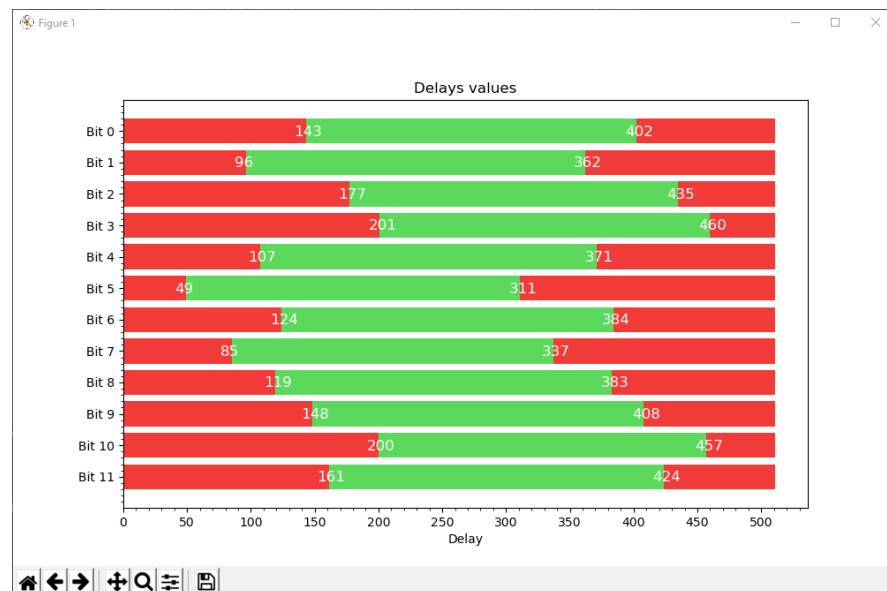
Résultats

Les délais variables sur les entrées des signaux dans la FPGA, ainsi que le déphasage de l'horloge paramétrable sont tous deux fonctionnels.

La détermination des plages de validités de chacun des bits du bus de données a été réalisée.

La calibration automatique des délais des bits et de la phase de l'horloge est aussi fonctionnelle, elle demande cependant des tests plus approfondis pour être totalement validée.

Le système ODigitizer étant complexe, la porte est ouverte à des améliorations et à des évolutions.



Graphique des plages de validités des bits du bus de données

Perspectives

Ce projet de travail de Bachelor a permis d'ouvrir la voie à l'implémentation des délais paramétrables sur les entrées de la FPGA et a, en outre, permis d'explorer la possibilité de la réalisation d'une autocalibration temporelle du bus de l'ADC. Cette dernière, bien qu'améliorable, est fonctionnelle. La prochaine étape sera d'étudier la possibilité d'implémentation dans le système Odigitizer final et l'intégration complète en FPGA.